

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-315688

(43)Date of publication of application : 14.11.2000

(51)Int.Cl.

H01L 21/3205

H01L 21/3065

H01L 21/768

(21)Application number : 2000-116994

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 18.04.2000

(72)Inventor : DOUGLAS S ARMBRUST
MARGARET L GIBSON
LONE SERIANNI
ERIC J WHITE

(30)Priority

Priority number : 99 298796

Priority date : 23.04.1999

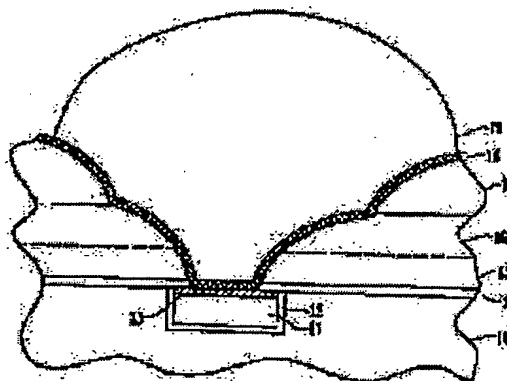
Priority country : US

(54) SEMICONDUCTOR STRUCTURE CONTAINING SILICIDE LAYER AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a highly reliable semiconductor device structure by strengthening the connection between an insulating layer and a terminal layer, by cleaning the exposed final metallization layer of the structure and generating a silicide on the cleaned metallization layer, and then, forming a terminal on the silicide.

SOLUTION: After the final metallization layer 11 of a semiconductor structure is formed and cleaned, a thick silicide layer 13 is formed on the layer 11 and a terminal structure 19 is formed on the silicide layer 13. To be concrete, the final metallization layer is a wiring pattern (conductor) 11 composed of a conductive material, such as copper, etc., and formed on an insulating layer 10 composed of a silicon dioxide layer, etc. After the exposed surface of the conductor 11 is cleaned with ammonia, etc., the silicide layer 13 is formed by silicifying the top part of the conductor 11. In addition, a conductive terminal 19 connected to the terminal of an external device is formed by using a solder ball of lead, etc.

**LEGAL STATUS**

[Date of request for examination]

18.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

3485256

[Date of registration]

24.10.2003

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-315688
(P2000-315688A)

(43) 公開日 平成12年11月14日 (2000. 11. 14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 21/3205		H 0 1 L 21/88	T
21/3065		21/302	N
21/768		21/88	M
		21/90	A

審査請求 有 請求項の数20 O L (全 6 頁)

(21) 出願番号 特願2000-116994(P2000-116994)
(22) 出願日 平成12年4月18日 (2000. 4. 18)
(31) 優先権主張番号 09/298796
(32) 優先日 平成11年4月23日 (1999. 4. 23)
(33) 優先権主張国 米国 (US)

(71) 出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)
(72) 発明者 ダグラス・エス・アームブラスト
アメリカ合衆国05446 バーモント州コル
チェスター マザ・コート 2
(74) 代理人 100086243
弁理士 坂口 博 (外1名)

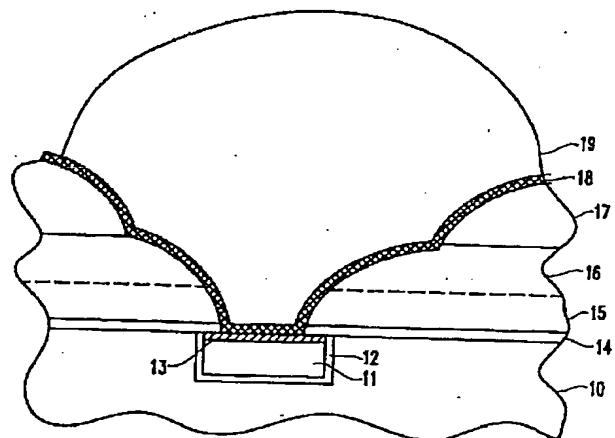
最終頁に続く

(54) 【発明の名称】 ケイ化物層を含む半導体構造とその製造方法

(57) 【要約】

【課題】 最終メタライゼーション層とその上に形成される絶縁層および端子層との接続が強化された信頼性の高い半導体デバイス構造を提供する。

【解決手段】 露出した最終メタライゼーション層を有する構造を形成し、前記最終メタライゼーション層を洗浄し、前記最終メタライゼーション層の上にケイ化物を生成させ、前記ケイ化物上に端子を形成する。前記最終メタライゼーション層のNH₃またはH₂プラズマ洗浄は、前記ケイ化物の接着を改善する。



1

【特許請求の範囲】

【請求項 1】露出した最終メタライゼーション層を有する構造を形成するステップと、
前記最終メタライゼーション層を洗浄するステップと、
前記最終メタライゼーション層の上にケイ化物を生成するステップと、
前記ケイ化物上に端子を形成するステップとを含む、半導体構造を形成する方法。

【請求項 2】前記最終メタライゼーション層が銅を含む、請求項 1 に記載の方法。

【請求項 3】前記洗浄ステップが、前記最終メタライゼーション層にアンモニア・プラズマと水素プラズマのどちらか一方を付与するステップを含む、請求項 1 に記載の方法。

【請求項 4】前記ケイ化物を生成するステップが、前記最終メタライゼーション層の厚みの上部 10%~20% に前記ケイ化物を生成するステップを含む、請求項 1 に記載の方法。

【請求項 5】前記端子を形成するステップが、前記ケイ化物に電氣的に接続した鉛・スズはんだ端子の 1 個を形成させることにより行う、請求項 1 に記載の方法。

【請求項 6】前記端子を形成するステップが、前記ケイ化物と電氣的に直接接触させる開口を有し、前記ケイ化物に物理的に接続した窒化シリコン層を形成させるステップを含む、請求項 1 に記載の方法。

【請求項 7】前記窒化シリコン層の上にさらに絶縁層を形成するステップを含む、請求項 6 に記載の方法。

【請求項 8】露出した最終メタライゼーション層を有する構造を形成するステップと、
前記最終メタライゼーション層を洗浄するステップと、
前記最終メタライゼーション層の上にケイ化物を生成させるステップと、
前記ケイ化物への接合構造体を形成するステップとを含む、接点を形成する方法。

【請求項 9】前記最終メタライゼーション層が銅を含む、請求項 8 に記載の方法。

【請求項 10】前記洗浄ステップが、前記最終メタライゼーション層にアンモニア・プラズマと水素プラズマのどちらか一方を付与するステップを含む、請求項 8 に記載の方法。

【請求項 11】前記ケイ化物を生成するステップが、前記最終メタライゼーション層の厚みの上部 10%~20% に前記ケイ化物を生成するステップを含む、請求項 8 に記載の方法。

【請求項 12】前記接合構造体を形成するステップが、前記ケイ化物に電氣的に接続した鉛・スズはんだ端子の 1 個を形成させるステップを含む、請求項 8 に記載の方法。

【請求項 13】前記接合構造体を形成するステップが、前記ケイ化物と電氣的に直接接触させる開口を有し、前

2

記ケイ化物に物理的に接続した窒化シリコン層を形成させるステップを含む、請求項 8 に記載の方法。

【請求項 14】前記窒化シリコン層の上にさらに絶縁層を形成するステップを含む、請求項 13 に記載の方法。

【請求項 15】相互接続メタラジーを有する半導体デバイスであって、
実質的にケイ化物を含有しない第 1 層のメタラジーと、
接着パッドを有し、ケイ化させた表面を有する最上層のメタラジーとを有する半導体デバイス。

10 【請求項 16】前記相互接続メタラジーが銅を含む、請求項 15 に記載の半導体デバイス。

【請求項 17】前記ケイ化させた表面を形成する前に、
アンモニア・プラズマおよび水素プラズマのいずれかを供給して前記最上層を洗浄する、請求項 15 に記載の半導体デバイス。

【請求項 18】前記ケイ化させた表面が、前記最上層の厚みの上部 10%~20% を構成する、請求項 15 に記載の半導体デバイス。

20 【請求項 19】前記ケイ化させた表面に電氣的に接続した鉛・スズはんだ端子の 1 個をさらに有する、請求項 15 に記載の半導体デバイス。

【請求項 20】前記ケイ化物に物理的に接続し、前記ケイ化させた表面と電氣的に直接接触させる開口を有する窒化シリコン層をさらに有する、請求項 19 に記載の半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に、半導体デバイスの端子の、上部銅配線レベルへの接着を増強する方法に関するものである。

【0002】

【従来の技術】従来のシステムは、介在するケイ化銅層の接着により、窒化シリコンの、内部銅配線表面への接着を改善している。たとえば、本明細書に参照として添付されているフィリピアク (Filipiak) 他の米国特許第 5, 447, 887 号明細書 (以後「フィリピアク特許」と称する) に記載されているように、半導体デバイス内の内部レベルの接続は、介在するケイ化銅層により改善される。

40 【0003】このケイ化物層は、従来の方法ではプラズマ強化化学気相付着 (PECVD) 反応チェンバ内で、プラズマがない状態でシラン (SiH_4) を導入することにより形成される。シランは露出した銅の表面と反応してケイ化銅を生成する。十分な厚みのケイ化銅が生成した後、プラズマを発生させ、ガスを反応チェンバに導入して、ケイ化銅の層を含む装置の上に窒化シリコンを付着させる。介在するケイ化銅の層は、窒化シリコンと銅との間の接着層として機能する。

50 【0004】フィリピアクは、約 100 オングストローム (100 Å) の厚みのケイ化物層で、窒化物と銅との

接着を十分に増大すると教示している。さらに具体的には、フィリピアクは、原則として、ケイ化物の層の厚みは銅の厚み全体の 10% を超えるべきではないと説明している。ケイ化物の層の厚みを銅の厚み全体の 10% 未満に制限する理由は、ケイ化物が銅の抵抗率を低下させるためである。一般にケイ化物の層は、銅の相互接続全体の厚みの 10% を超えるべきではないが、フィリピアクは、100 Å 未満、または銅の厚み全体の 2% 未満でも、後に PECVD により付着させた窒化シリコン皮膜の銅部材への接着を十分改善することを示している。

【0005】しかし、フィリピアクの方法では、具体的には十分な被覆率または均一性が得られず、端子層が最終メタライゼーション (LM) 層への接続を維持するのに十分な接着強度が得られないために、この方法は限定される。下記に記載する本発明は、上記の問題を解決する。

【0006】

【発明が解決しようとする課題】本発明の目的は、最終メタライゼーション層と、その上に形成される絶縁層および端子層との接続が強化された信頼性の高い半導体デバイス構造、およびその製造方法を提供することである。

【0007】

【課題を解決するための手段】本発明は、露出した最終メタライゼーション (LM) 層を有する構造を形成し、この最終メタライゼーション層を洗浄し、最終メタライゼーション層の上にケイ化物を生成させ、このケイ化物上に端子を形成する工程を有する、半導体構造を形成する方法を提供する。

【0008】最終メタライゼーション層は銅でよい。洗浄は、最終メタライゼーション層にアンモニア・プラズマおよび水素プラズマのいずれかを供給することにより行う。ケイ化物は、最終メタライゼーション層の上部 10% ~ 20% に生成する。端子の形成には、ケイ化物に電気的に接続された鉛・スズはんだ端子の形成を含む。端子の形成は、ケイ化物に物理的に接続する窒化シリコン層を形成することにより行う。窒化シリコン層は、ケイ化物と直接電氣的に接触させるための開口を有する。この構造は、窒化シリコン層上の絶縁層を含む。

【0009】この半導体デバイスは、少なくとも 2 層の相互接続メタラジ (metallurgy) を有し、実質的にケイ化物を含有しない第 1 のレベルのメタラジと、接着パッドを有する最上層のメタラジとを含み、最上層の上にケイ化された表面を有する。相互接続メタラジは銅である。ケイ化された表面を形成する前に、最上層をアンモニア・プラズマおよび水素プラズマのいずれかを供給して洗浄を行う。ケイ化された表面は、最上層の厚みの上部 10% ~ 20% を構成する。この半導体デバイスはさらに、ケイ化された表面に電氣的に接続した鉛・スズはんだ端子の 1 個を有する。窒化シリコン層は、ケ

イ化物に接続され、ケイ化された表面に直接電氣的に接触することのできる開口を有する。

【0010】本発明は、最終メタライゼーション層の上に、一般に最終メタライゼーション層の厚みの、少なくとも 10 ~ 20% のケイ化物層を形成することにより、このようなはく離を減少させる。この広範なケイ化物の形成は、上述の銅/窒化物の接着の問題を解決するために必要である。また、最終メタライゼーション層は非常に厚いメタラジで構成されているため、抵抗率の変動 (shift) に対する感度が実質的に低く、したがって従来のケイ化銅 (CuSi) 系にみられた抵抗率の問題が回避される。本発明により改善された表面被覆率により、LM 層形成における厚みパーセント当たりの抵抗率の変動を少なくすることができる。

【0011】

【発明の実施の形態】上述のように、内部銅配線と隣接する絶縁層との接着を改善するための従来の方法では、最終メタライゼーション (LM) 層上の端子層 (たとえば C4 層) の十分な信頼性が得られない。本発明は、露出した銅配線層を洗浄し、ケイ化物層の厚みを 10% 以上増大させることによりこの問題を解決する。

【0012】最終メタライゼーション層が、構造中の他のメタライゼーション層よりも高いレベルの、異なる形態の応力を受けるため、最終メタライゼーション層の接着に特別な問題がある。たとえば、最終メタライゼーション層はしばしば、外部構造への電氣的、物理的接続を行うのに使用するはんだボール端子層に物理的に接続される。外部構造は (物理的運動により) 異なる動きをし、高レベルの応力 (せん断力を含む) を最終メタライゼーション層に与える傾向のある、異なる熱膨張係数を有することがある。したがって、最終メタライゼーション層からの窒化シリコンのはく離は、半導体構造内のはく離より一般的である。この問題の従来の解決方法は、追加のマスキング・レベルを形成し、銅以外の追加の層をパターン形成して銅と LM 窒化物との間の応力を減少させる。これらの解決方法は高価で、かなりのサイクル時間を要し、LM のはく離の原因となる弱い Cu・窒化物境界面を直接解決する方法とはならない。

【0013】本発明は、一般に LM 層の厚みの少なくとも 10 ~ 20% まで、最終メタライゼーション層上にケイ化物層を形成することにより、このようなはく離を減少させる。このように広範にケイ化物を形成することは、上述の Cu と窒化物との接着の問題を解決するため、LM レベルにおいて必要である。また、最終メタライゼーション層は一般に、非常に厚いメタラジで構成され、したがって抵抗率の変動に対する感度が低い。このように、本発明によれば、従来のケイ化銅 (CuSi) 系にみられる抵抗率の問題が回避される。本発明により改善された表面被覆率により、LM 層形成における厚みパーセント当たりの抵抗率の変動を少なくすること

ができる。

【0014】図1を参照すると、半導体デバイスの最終メタライゼーション層の断面が示されている。具体的には、図1は、ここで示した構造を下層の配線層から絶縁する二酸化シリコン層などの絶縁層10を示す。絶縁層10の中には、配線パターン11が配置されている。たとえば、配線パターン11は銅または他の類似する導電性材料で構成される。

【0015】本発明の重要な点は、配線パターン11が半導体構造の最終メタライゼーション (LM) 層であることである。当業者には周知であるように、最終メタライゼーション層は下層のメタライゼーション層よりかなり厚いことが多い。最終メタライゼーション層が他のメタライゼーション層より厚いことにより、抵抗率の増大に付随する不利益を生じることなく、厚いケイ化物層を形成することができる。

【0016】最終メタライゼーション層11の側面および底面は、タンタルまたは窒化タンタルなどの導体12により、絶縁体10から分離されている。

【0017】下層の構造および絶縁体10、最終メタライゼーション層11および導電層12は、当業者に周知の方法を用いて形成される。たとえば、開口のパターンは、従来のリソグラフィおよびエッチング技術を用いて、絶縁体10中に形成することができる。次にリソグラフィ法で形成した開口を、スパッタリング、化学気相付着 (CVD)、その他周知の付着法など、従来の付着法を用いて、ライナ12でライニングされる。次にフォトリソグラフィ・マスクを、配線開口内のライナ12だけを残して除去することができる。次に、たとえば化学気相付着、スパッタリング、または他の類似のメタライゼーション法を用いて、開口を導電性材料11により充てんする。次にこの構造を平坦化して、後の加工に備える。

【0018】本発明では、次に露出した導電体11の表面を洗浄する。たとえば、導電体11の表面は、アンモニア (NH₃) または水素 (H₂) プラズマ強化化学気相付着 (PECVD) 法など、どのような周知の洗浄法を用いても洗浄することができる。プラズマは、450W〜550Wの範囲内の電力を使用して供給することができる。この場合、NH₃の流速は標準状態で約2700 ml/分、N₂の流速は標準状態で約800 ml/分、圧力2.6トル、温度400℃で10秒間供給する。代替方法として、高密度プラズマ (HDP) リアクタ中で、電力4500W、H₂の流速は標準状態で約400 ml/分、圧力6ミリトル、温度0℃〜365℃で40秒間、導体11の表面を洗浄してもよい。

【0019】洗浄により、前の工程およびブロック CuSi の生成の間に、導体11上に生成する可能性のあるどのような酸化物も除去され、また導体11上に付着する可能性のあるどのような汚染物質も除去される。洗浄

処理により、従来のケイ化物法でよくみられたケイ化物の島の形成が減少または排除される。したがって、本発明により生成するケイ化物は、従来のケイ化銅構造より均一であり、良好な接着が得られる。

【0020】次に、同じチェンバ中で、または導体11の上面を清浄に保つために真空が維持されるなら他のチェンバに移して、導体11の上部をケイ化させる。ケイ化物層13は、従来のケイ化物法を用いて形成する。たとえば、窒素を標準状態で1500 ml/分、SiH₄を標準状態で15〜180 ml/分の流速で、圧力を2.6トル、温度を約400℃としたチェンバに流す。処理は導体層11上にケイ化物層13が形成するのに十分な時間 (0〜180秒) 続ける。相対的な厚みに関しては、最終メタライゼーション層11は8000 Å、ケイ化物層13は約1000 Åとすることができる。

【0021】当業者に周知のように、導体をケイ化するには各種の方法を利用することが可能であり、前記は例を示したにすぎない。上述のように、本発明により従来知られていた10%の限度より厚いケイ化物を生成することができるが、最終メタライゼーション層11は下層の構造中のメタライゼーション層よりかなり厚いため、抵抗率の問題は回避することができる。

【0022】さらに、ケイ化物を生成する前に最終メタライゼーション層11の上部を洗浄することにより、ケイ化物生成の反応速度は大幅に改善される。また、洗浄によりケイ化物生成または表面変化の均一性を高める。この洗浄は、どのようなケイ化物生成にも利点があるが、銅を適用したLMレベルを良好に集積できる比較的厚いCuSiの生成に必要である。

【0023】しかし、本発明の洗浄の態様は、最終メタライゼーションに限定されるものではない。したがって、埋め込み配線層であっても、ケイ化物生成の前に行う本発明の洗浄処理による利点がある。換言すれば、本発明のこの態様は、接着を改善し、構造中のすべてのケイ化した配線層がはく離するのを減少させる。

【0024】次に、一連の絶縁層を、ケイ化した層13の上に形成する。具体的には、窒化シリコンSi₃N₄などの、Cu拡散バリアとして機能する絶縁層14を、周知の従来の方法を用いて、特定の用途に必要な厚みに形成する。たとえば、窒化シリコン層14は、約700 Åの厚みに形成することができる。本発明によれば、銅と窒化物とが互いに有する接着強度より大きい接着強度が、銅に対しても窒化物に対しても得られる界面層 (13) が形成されるため、窒化シリコン層14と銅11との接着が改善される。

【0025】同様に二酸化シリコン15および追加の窒化シリコン層16などの、追加の絶縁層を、絶縁層14の上に形成する。次に、ポリイミド層17を形成して、チップを機械的に保護する。次にこの構造を周知の方法および技術を用いてパターン形成する。開口を周知の従

来の方法を用いて、導電性材料 18 により再びライニングする。次に、外部装置と端子接続を行うための、大きい導電性端子 19 (C4 レベルの接点) を、鉛 (Pb) またはスズ (Sb) のソルダ・ボールを使用して形成する。

【0026】上述の方法をフローチャートの形で図 2 に示す。具体的には、項目 20 で最終メタライゼーション層 11 を形成する。次に、項目 21 に示すように、最終メタライゼーション層 11 を洗浄する。続いて、最終メタライゼーション層 11 の上部を利用して厚いケイ化物層 13 を形成する。最後に、項目 23 に示すように、ケイ化物 13 の上に端子構造 19 を形成する。

【0027】上述のように、最終メタライゼーション層は従来のシステムでは解決できなかったはく離の問題を有する。本発明は、最終メタライゼーション層を洗浄し、厚いケイ化物を最終メタライゼーション層の上に形成することにより、これらの問題を解決する。したがって、本発明は、製造コストを大幅に増大したり、製造工程を変更したりすることなく、従来のシステムより耐久性があり、信頼性が高い構造を製造することができる。

【0028】さらに、ケイ化物生成前に導体を洗浄するために導入したプラズマ処理により、整合性 (conformity) が良好となり、従来のケイ化物系の集積性 (integratability) を高める、魅力のある反応機構を開始させる。さらに、連続性の高い自己整合層を形成することにより、従来の系と比較して電気泳動が改善される。本発明はまた、窒化物と銅との界面の連続性を改善することにより、Cu のボイドの形成を抑制する。

【0029】まとめとして、本発明の構成に関して以下の事項を開示する。

【0030】(1) 露出した最終メタライゼーション層を有する構造を形成するステップと、前記最終メタライゼーション層を洗浄するステップと、前記最終メタライゼーション層の上にケイ化物を生成するステップと、前記ケイ化物上に端子を形成するステップとを含む、半導体構造を形成する方法。

(2) 前記最終メタライゼーション層が銅を含む、上記 (1) に記載の方法。

(3) 前記洗浄ステップが、前記最終メタライゼーション層にアンモニア・プラズマと水素プラズマのどちらか一方を付与するステップを含む、上記 (1) に記載の方法。

(4) 前記ケイ化物を生成するステップが、前記最終メタライゼーション層の厚みの上部 10%~20% に前記ケイ化物を生成するステップを含む、上記 (1) に記載の方法。

(5) 前記端子を形成するステップが、前記ケイ化物に電氣的に接続した鉛・スズはんだ端子の 1 個を形成することにより行う、上記 (1) に記載の方法。

(6) 前記端子を形成するステップが、前記ケイ化物と

電氣的に直接接触させる開口を有し、前記ケイ化物に物理的に接続した窒化シリコン層を形成させるステップを含む、上記 (1) に記載の方法。

(7) 前記窒化シリコン層の上にさらに絶縁層を形成するステップを含む、上記 (6) に記載の方法。

(8) 露出した最終メタライゼーション層を有する構造を形成するステップと、前記最終メタライゼーション層を洗浄するステップと、前記最終メタライゼーション層の上にケイ化物を生成させるステップと、前記ケイ化物への接合構造体を形成するステップとを含む、接点を形成する方法。

(9) 前記最終メタライゼーション層が銅を含む、上記 (8) に記載の方法。

(10) 前記洗浄ステップが、前記最終メタライゼーション層にアンモニア・プラズマと水素プラズマのどちらか一方を付与するステップを含む、上記 (8) に記載の方法。

(11) 前記ケイ化物を生成するステップが、前記最終メタライゼーション層の厚みの上部 10%~20% に前記ケイ化物を生成するステップを含む、上記 (8) に記載の方法。

(12) 前記接合構造体を形成するステップが、前記ケイ化物に電氣的に接続した鉛・スズはんだ端子の 1 個を形成させるステップを含む、上記 (8) に記載の方法。

(13) 前記接合構造体を形成するステップが、前記ケイ化物と電氣的に直接接触させる開口を有し、前記ケイ化物に物理的に接続した窒化シリコン層を形成させるステップを含む、上記 (8) に記載の方法。

(14) 前記窒化シリコン層の上にさらに絶縁層を形成するステップを含む、上記 (13) に記載の方法。

(15) 相互接続メタラジを有する半導体デバイスであって、実質的にケイ化物を含有しない第 1 層のメタラジと、接着パッドを有し、ケイ化させた表面を有する最上層のメタラジとを有する半導体デバイス。

(16) 前記相互接続メタラジが銅を含む、上記 (15) に記載の半導体デバイス。

(17) 前記ケイ化させた表面を形成する前に、アンモニア・プラズマおよび水素プラズマのいずれかを供給して前記最上層を洗浄する、上記 (15) に記載の半導体デバイス。

(18) 前記ケイ化させた表面が、前記最上層の厚みの上部 10%~20% を構成する、上記 (15) に記載の半導体デバイス。

(19) 前記ケイ化させた表面に電氣的に接続した鉛・スズはんだ端子の 1 個をさらに有する、上記 (15) に記載の半導体デバイス。

(20) 前記ケイ化物に物理的に接続し、前記ケイ化させた表面と電氣的に直接接触させる開口を有する窒化シリコン層をさらに有する、上記 (19) に記載の半導体デバイス。

【図面の簡単な説明】

【図 1】最終メタライゼーション層と、端子接続とを含む半導体デバイスの部分を示す略断面図である。

【図 2】本発明の好ましい方法を示すフロー・ダイアグラムである。

【符号の説明】

10 絶縁層

11 配線パターン

12 導電層

13 ケイ化物層

14 絶縁層

15 絶縁層

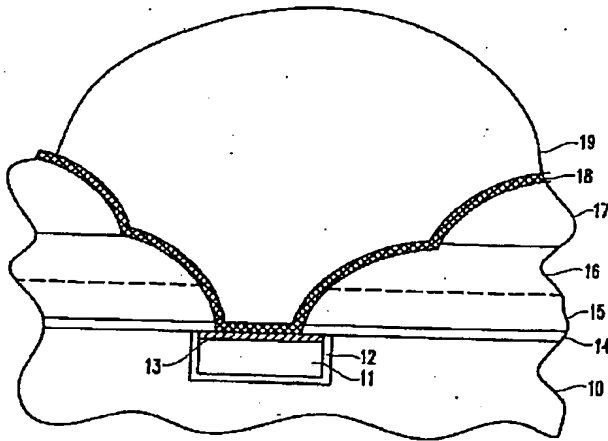
16 絶縁層

17 ポリイミド層

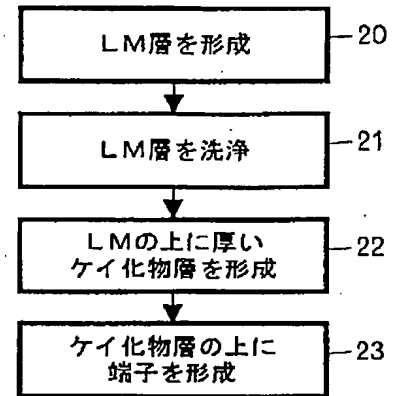
18 導電性材料

19 端子

【図 1】



【図 2】



フロントページの続き

(72)発明者 マーガレット・エル・ギブソン
アメリカ合衆国05490 バーモント州アン
ダーヒル アイリッシュ・セトルメント・
ロード 218

(72)発明者 ローン・セリアンニ
アメリカ合衆国05468 バーモント州ミル
トン サークル・ロード 84
(72)発明者 エリック・ジェイ・ホワイト
アメリカ合衆国05445 バーモント州シャ
ーロット ライン・ドライブ 210